

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

I hereby certify that this correspondence is being  
deposited with the United States Postal Service as  
first class mail in an envelope addressed to:  
Commissioner for Patents, P.O. Box 1450,  
Alexandria, VA 22313-1450 on August 25, 2005  
(Date of Deposit)

Harold C. Moore

Name of person mailing Document or Fee

Signature

August 25, 2005

Date of Signature

Re:            Application of:        Herzum et al.  
              Serial No.:        10/798,719  
              Filed:            11 March 2004  
              For:              Semiconductor Device  
              Group Art Unit:    2814  
              Confirmation No.: 5006  
              Examiner:        Ginette Peralta  
              Our Docket No.:    1890-0066

**SUBMISSION OF PRIORITY DOCUMENT**

Please find for filing in connection with the above patent application a certified  
copy of the priority document, Certified Copy of German Application Number 103 10  
554.9.

Please charge any fee deficiency or credit any overpayment to Deposit Account  
No. 13-0014.

Respectfully submitted,

A handwritten signature in black ink, appearing to read 'H. C. Moore', with a stylized flourish at the end.

Harold C. Moore  
Registration No. 37,892  
Maginot, Moore & Beck  
Bank One Center/Tower  
111 Monument Circle, Suite 3000  
Indianapolis, IN 46204-5115

August 25, 2005

Enclosures

# BUNDESREPUBLIK DEUTSCHLAND

CERTIFIED COPY OF  
PRIORITY DOCUMENT



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 103 10 554.9

Anmeldetag: 11. März 2003

Anmelder/Inhaber: Infineon Technologies AG, 81669 München/DE

Bezeichnung: Halbleiterbauelement

IPC: H 01 L 23/522

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 18. März 2004  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

CERTIFIED COPY  
PRIORITY DOCUMENT

Stanschus

Patentanwälte · Postfach 246 · 82043 Pullach bei München

**Infineon Technologies AG**  
**St.-Martin-Straße 53**

**81669 München**

## PATENTANWÄLTE

European Patent Attorneys  
European Trademark Attorneys

Fritz Schoppe, Dipl.-Ing.  
Tankred Zimmermann, Dipl.-Ing.  
Ferdinand Stöckeler, Dipl.-Ing.  
Franz Zinkler, Dipl.-Ing.

Telefon/Telephone 089/790445-0  
Telefax/Facsimile 089/790 22 15  
Telefax/Facsimile 089/74996977

e-mail: szsz\_iplaw@t-online.de

---

### HALBLEITERBAUELEMENT

---

## Beschreibung

## Halbleiterbauelement

5 Die vorliegende Erfindung bezieht sich auf ein Halbleiterbauelement, insbesondere einen Feldeffekttransistor oder ein anderes aktives Bauelement, mit planaren und nicht-planaren Metallisierungsebenen bzw. planaren und nicht-planaren Abschnitten von Metallisierungsebenen.

10

Als Großsignalverstärker, die beispielsweise in Basisstationen oder Mobiltelefonen verwendet werden, werden LDMOS-Transistoren (LDMOS = lateral diffused metal oxide semiconductor) verwendet. Die auf dem Markt verfügbaren LDMOS-Transistoren können dabei in zwei Typen unterschieden werden.

15

Der erste Typ umfasst eine oder mehrere planare Metallisierungsebenen, die über Kontaktlöcher und Vias bzw. Durchgangslotchleiter, wie sie auch in Standard-CMOS-Technologien Verwendung finden, mit Source, Drain und Gate des Feldeffekttransistors verbunden sind.

20

Fig. 1A zeigt ein Beispiel für eine bekannte Ausführungsform eines Feldeffekttransistors mit einer oder mehreren planaren Metallisierungsebenen. In Fig. 1A ist schematisch ein Feldeffekttransistor gezeigt, welcher in einem Substrat 10 gebildet ist. In dem Substrat ist ein Sinkerbzw. Substratkontakt 12, ein Sourcebereich 14 sowie ein Drainbereich 16 gebildet. Zwischen dem Sourcebereich 14 und dem Drainbereich 16 liegt der Kanalbereich 18. Oberhalb des Kanalbereichs 18 ist das Gate 20 gebildet, welches eine Polysiliziumschicht 22 aufweist, die über eine dünne Oxidschicht 24 von dem Kanalbereich 18 beabstandet ist. Ferner ist in Bereichen des Substrats 10, in dem keine Abschnitte gebildet sind, eine Feldoxidschicht 26 an der Oberfläche des Substrats 10 gebildet.

25

30

35

Bei dem in Fig. 1A gezeigten, bekannten Beispiel sind zwei planare Metallisierungsebenen 28 und 30 gebildet, die beabstandet voneinander oberhalb der Substratoberfläche 32 gebildet sind. Die erste Metallisierungsebene 28 umfasst einen ersten Abschnitt 28a sowie einen zweiten Abschnitt 28b. Der Abschnitt 28a der ersten Metallisierungsebene ist über einen ersten Kontakt 34 mit dem Sinkler 12 verbunden. Über einen zweiten Kontakt 36 ist der erste Abschnitt 28a der ersten planaren Metallisierungsebene 28 mit dem Sourcebereich 14 verbunden. Der zweite Abschnitt 28b der ersten Metallisierungsebene 28 ist über einen dritten Kontakt 38 mit dem Drainbereich 16 verbunden.

Die zweite planare Metallisierungsebene 30 umfasst einen ersten Abschnitt 30a, der sich bei dem dargestellten Beispiel im wesentlichen parallel beabstandet von dem zweiten Abschnitt 28b der ersten planaren Metallisierungsebene 28 erstreckt und mit diesem ersten Abschnitt 28b der ersten planaren Metallisierungsebene über einen vierten Kontakt 40 verbunden ist. Wie oben schon erwähnt, beschreibt das anhand der Fig. 1A dargestellte Beispiel eine Standard CMOS-Version mit planaren Metallisierungen. Zur Herstellung einer planaren Leiterbahn für den Drainbereich wird die Topologie mit einem Oxid aufgefüllt und, beispielsweise durch CMP (CMP = chemisch mechanisches Polieren) planarisiert. Anschließend werden Kontaktlöcher zum Silizium geätzt und mit Wolfram aufgefüllt, um die in Fig. 1A gezeigten Kontakte zu erzeugen. Auf die so gebildete Struktur wird dann eine planare Metallisierungsebene angeordnet. Der Nachteil dieser Anordnung besteht darin, dass eine Abschirmung des Gates 20 nicht ausreichend gut wirksam ist.

Ein Vorteil der Verwendung von planaren Metallisierungsebenen besteht darin, dass an planaren Metallisierungsebenen Elektromigration nicht oder kaum auftritt. Planare Metallisierungsebenen und mit ihnen aufgebaute Bauelemente weisen deshalb eine erhöhte Stromtragfähigkeit auf. Ein weiterer

Vorteil der Verwendung planarer Metallisierungsebenen besteht darin, dass eine hohe Packungsdichte, beispielsweise eine hohe Packungsdichte von Speicherzellen, erreichbar ist.

- 5 Der zweite Typ von LDMOS-Transistoren weist eine oder mehrere nicht-planare Metallisierungsebenen auf.

Fig. 1B zeigt einen herkömmlichen Ansatz, bei dem nicht-planare Metallisierungsebenen verbunden werden. In Fig. 1B ist ein Feldeffekttransistor gezeigt, ähnlich wie in Fig. 1A wobei hier gleiche Bezugszeichen für gleiche Elemente verwendet werden, und wobei eine erneute Beschreibung der bereits anhand der Fig. 1A beschriebenen Elemente nicht erfolgt. Anders als bei dem in Fig. 1A gezeigten, herkömmlichen Ansatz werden Fig. 1B keine planaren Metallisierungsebenen verwendet, sondern nicht-planare Metallisierungsebenen, welche sich im wesentlichen an die Kontur der Oberfläche des Halbleiterbauelements anpassen. Auch hier werden zwei Metallisierungsebenen verwendet, nämlich die erste nicht-planare Metallisierungsebene 42 und die zweite nicht-planare Metallisierungsebene 44. Die erste nicht-planare Metallisierungsebene 42 umfasst einen ersten Abschnitt 42a, der sich ausgehend von dem Feldoxid 26 über den Sinkler 12, den Sourcebereich 14, das Gate 20 bis über den Drainbereich 16 erstreckt. Der erste Abschnitt 42a der ersten nicht-planaren Metallisierungsebene 42 ist zumindest teilweise auf der Oberfläche des Substrats 10 angeordnet und ist so in Kontakt mit dem Feldoxid 26, dem Sinkler 12 und zumindest einem Abschnitt des Sourcebereichs 14. Wie zu erkennen ist, erstreckt sich der erste Abschnitt 42a weiter um das Gate 20, wobei dieser durch eine geeignete Isolationsschicht beabstandet von dem Gate 20 angeordnet ist. In Fig. 1B ist ferner der Abstand  $\delta$  gezeigt, der zwischen dem Drainbereich 16 und dem Ende des ersten Abschnitts 42a eingestellt ist.

Die erste nicht-planare Metallisierungsebene 42 umfasst ferner einen zweiten Abschnitt 42b, der den Drainbereich 16 zumindest teilweise kontaktiert.

5 Die zweite nicht-planare Metallisierungsebene 44 umfasst einen ersten Abschnitt 44a, der durch eine geeignete Isolations-  
schicht von den übrigen Schichten getrennt ist und sich im Bereich des Drainbereichs 16 zu dem zweiten Abschnitt 42b der  
ersten nicht-planaren Metallisierungsebene erstreckt und mit  
10 demselben in Kontakt ist.

Gemäß dem in Fig. 1B dargestellten Beispiel werden die Metallisierungsebenen ohne Planarisierung aufgebracht. Der Nach-  
teil dieser Vorgehensweise besteht in den sich ergebenden  
15 Kanten und Stufen über die die Leiterbahnen der Metallisierungsebene laufen. Dies kostet zum einen Platz und beeinträchtigt zum anderen die Elektromigrationfestigkeit. Im Drainbereich befindet sich die Stufe am Ende des Fingers, wenn die Leiterbahn 42b aus dem aktiven Gebiet herausgeführt wird und auf den in Fig. 1B rechts gezeigten Feldoxidbereich  
20 26 geführt werden muss. Auf dieses Feldoxid 26 kann allein schon aus Kapazitätsgründen nicht verzichtet werden.

An nicht-planaren Metallisierungsebenen und insbesondere an  
25 stromdurchflossenen Kanten bzw. Stufen derselben tritt eine erhöhte Elektromigration auf, wodurch die Stromtragfähigkeit begrenzt ist. Ein Vorteil der Verwendung nicht nicht-planaren Metallisierungsebenen besteht darin, dass durch ein Masseschild um das Gate eine deutlich bessere Abschirmwirkung  
30 erzielbar ist als bei ausschließlicher Verwendung von planaren Metallisierungsebenen.

Ausgehend von diesem Stand der Technik liegt der vorliegenden Erfindung die Aufgabe zugrunde, ein verbessertes Halbleiter-  
35 bauelement zu schaffen, welches ein verbessertes Verhalten und verbesserte Eigenschaften aufweist.



Diese Aufgabe wird durch ein Halbleiterbauelement gemäß Anspruch 1 gelöst.

Die vorliegende Erfindung schafft ein Halbleiterbauelement mit einem Substrat, einem in dem Substrat gebildeten aktiven Bereich, einer ersten, nicht-planaren Metallisierungsebene, die auf dem Substrat gebildet ist und mit dem aktiven Bereich in Kontakt ist, und einer zweiten, planaren Metallisierungsebene, die oberhalb des Substrats beabstandet von der ersten Metallisierungsebene angeordnet ist und über eine Durchkontaktierung mit der ersten Metallisierungsebene verbunden ist.

Gemäß einem bevorzugten Ausführungsbeispiel ist das Halbleiterbauelement ein Feldeffekttransistor mit einem Gate, einem Sourcebereich und einem Drainbereich. Hierbei ist die erste nicht-planare Metallisierungsebene in Form eines ersten Abschnitts, der mit dem Sourcebereich verbunden ist, und in Form eines zweiten Abschnitts, der mit dem Drainbereich verbunden ist, gebildet. Ferner ist ein dritter Abschnitt vorgesehen, der das Gate zumindest teilweise überdeckt. Die zweite, planare Metallisierungsebene umfasst einen Abschnitt, der mit dem ersten Abschnitt der ersten, nicht-planaren Metallisierungsebene oder mit dem zweiten Abschnitt der ersten, nicht-planaren Metallisierungsebene verbunden ist.

Gemäß einem weiteren bevorzugten Ausführungsbeispiel können der erste Abschnitt und der dritte Abschnitt der ersten, nicht-planaren Metallisierungsebene verbunden sein.

Vorzugsweise ist zwischen der ersten, nicht-planaren Metallisierungsebene und der zweiten, planaren Metallisierungsebene eine isolierende Schicht angeordnet, die zumindest eine Durchkontaktierung für eine Verbindung der zwei Metallisierungsebenen aufweist.

Weiterhin vorzugsweise ist der dritte Abschnitt der ersten, nicht-planaren Metallisierungsebene ausgebildet, um das Gate

gegenüber elektrostatischen oder elektrodynamischen Störungen abzuschirmen.

5 Gemäß einem besonderen Aspekt der vorliegenden Erfindung wird ferner eine Verstärkerschaltung mit einem erfindungsgemäßen Feldeffekttransistor geschaffen.

10 Erfindungsgemäß werden die Vorteile der oben beschriebenen herkömmlichen Ansätze kombiniert, so dass erfindungsgemäße durch die Einführung der nicht-planaren Metallisierungsebene die Rückwirkungskapazität und damit die Verstärkung des Transistors wesentlich verbessert wird. Von einer nicht-planaren Metallisierung aus gesehen verbessert der erfindungsgemäße Ansatz die Integrationsfähigkeit zu komplexen  
15 Schaltungen, beispielsweise für Linearisierungsschaltungen, wesentlich. Ferner ist es möglich, die parasitären Kapazitäten der Anschlussflächen/Pads weiter deutlich zu reduzieren. Zusätzlich wird die Stromtragfähigkeit der Leiterbahnen erhöht, da Elektromigrationseinbußen an Kanten vermieden  
20 werden. Der Kern der Erfindung ist somit die Kombination der nicht-planaren Metallisierungsebene mit planaren Metallisierungsebenen.

25 Nachfolgend werden bevorzugte Ausführungsbeispiele der vorliegenden Erfindung anhand der beiliegenden Figuren näher erläutert. Es zeigen:

30 Fig. 1A eine Darstellung eines Feldeffekttransistors mit planaren Metallisierungsebenen gemäß dem Stand der Technik;

Fig. 1B eine schematische Darstellung eines Feldeffekttransistors mit nicht-planaren Metallisierungsebenen gemäß dem Stand der Technik;

35 Fig. 2 eine Darstellung eines bevorzugten Ausführungsbeispiels der vorliegenden Erfindung;

Fig. 3 eine Darstellung eines Feldeffekttransistors gemäß einem weiteren Ausführungsbeispiel der vorliegenden Erfindung;

5

Fig. 4 eine Ausschnittsvergrößerung der Darstellung aus Fig. 3; und

10

Fig. 5 bis 7 Graphen, welche die Verbesserungen des erfindungsgemäßen Ansatzes gegenüber herkömmlichen Ansätzen verdeutlichen.

15

Anhand der Fig. 2 wird nachfolgend ein bevorzugtes Ausführungsbeispiel näher beschrieben, wobei bei der nachfolgenden Erläuterung des erfindungsgemäßen Ansatzes in den Figuren diejenigen Elemente, welche bereits anhand der Fig. 1A und 1B beschrieben wurden, mit gleichen Bezugszeichen versehen sind.

20

Fig. 2 zeigt eine Feldeffekttransistorstruktur ähnlich zu Fig. 1A und 1B, welche in einem Substrat den Sinkler oder Kontaktanschluss 12 aufweist. Ferner ist in dem Substrat der Sourcebereich 14 sowie der Drainbereich 16 gebildet, zwischen denen ein Kanalbereich 18 definiert ist. Oberhalb des Kanalbereichs 18 ist die Gatestruktur 20 bestehend aus dem Polysiliziumgute 22 und der Oxidschicht 24 angeordnet. Wie aus Fig. 2 zu erkennen ist, wird erfindungsgemäß der Ansatz gemäß Fig. 1A (planare Metallisierungsebenen) mit dem Ansatz gemäß Fig. 1B (nicht-planare Metallisierungsebenen) kombiniert. Die erste Metallisierungsebene ist hier durch die nicht-planare Metallisierungsebene 42 mit den drei Abschnitten 42a, 42b und 42c gebildet, wobei, anders als im Stand der Technik, nun die zweite Metallisierungsebene durch die planare Metallisierungsebene 30 gebildet ist, welche, ähnlich wie in Fig. 1B eine Leiterbahn 30a aufweist. Die Leiterbahn 30a ist hier direkt mit dem nicht-planaren Abschnitt 42b der ersten Metallisierungsebene 42 über einen Kontakt 46 verbunden.

25

30

35

Erfindungsgemäß wird somit, wie aus Fig. 2 zu erkennen ist, die oben anhand der Fig. 1A und 1B beschriebenen Vorgehensweisen kombiniert. Die erste Metallisierungsebene ist nicht planar, wodurch eine gute Abschirmung des Gates erreicht wird. Im Drainbereich wird diese Metallisierungsebene vor sich möglicherweise einstellenden Stufen aufgrund des Feldoxids 26 beendet, die Leiterbahn gemäß Abschnitt 42b wird also nicht so weit ausgebildet, dass sich diese stufenförmig über das Feldoxid 26 im rechten Bereich der Fig. 2 erstreckt. Über Vias (Stöpsel zwischen Metallebenen) wird die zweite Metallisierungsebene angeschlossen. Diese trägt den Strom aus dem Finger und ist planar.

Anhand der Fig. 3 und 4 wird nachfolgend eine detaillierte Darstellung eines Feldeffekttransistors gemäß einem bevorzugten Ausführungsbeispiel der vorliegenden Erfindung näher erläutert, wobei Fig. 4 eine vergrößerte Ausschnittsdarstellung ist. Auch hier werden wiederum gleiche Bezugszeichen für gleiche Elemente verwendet.

Die Fig. 3 und 4 sind schematische Darstellungen eines vertikalen Schnitts durch einen Feldeffekttransistor gemäß einem bevorzugten Ausführungsbeispiel der vorliegenden Erfindung. Dabei ist Fig. 4 eine vergrößerte Darstellung eines Ausschnitts aus Fig. 3.

Der Feldeffekttransistor gemäß diesem bevorzugten Ausführungsbeispiel umfasst das Substrat 10 (z.B. ein p-dotiertes Substrat), in dem der p+-dotierte Sink- bzw. Substratkontakt 12, die n+-dotierte Source bzw. der n+-dotierte Sourcebereich 14, ein p-dotierter Body bzw. Body-Bereich 48, ein n-dotierter Resurf-Bereich 50 (Resurf = reduced surface field = reduziertes Oberflächenfeld) und die n+-dotierte Drain bzw. der n+-dotierte Drainbereich 16 angeordnet sind.

Eine Titansilizid-Schicht (TiSi-Schicht) 52 ist auf der Oberfläche des Substrats 10 so angeordnet, dass sie an die

Source 14 und den Sinkers 12 angrenzt und diese zumindest teilweise überdeckt. Da die TiSi-Schicht 52 eine hohe elektrische Leitfähigkeit aufweist und vorzugsweise jeweils eine möglichst große Fläche des Sinkers 12 und der Source 14 bedeckt, fließt ein Strom zwischen der n+-dotierten Source und dem p+-dotierten Sinkers über die TiSi-Schicht 52, die somit eine Silizid-Strombrücke darstellt. Eine weitere TiSi-Schicht 54 ist auf der Oberfläche des Substrats 10 so angeordnet, dass sie an die Drain 16 angrenzt. Das Gate 20 ist an der Oberfläche des Substrats 10 derart angeordnet, dass es dem Body-Bereich 48 gegenüber liegt und nur durch die dünne Oxidschicht 24, von diesem Bereich getrennt ist. Das Gate 20 ist ein Stapel aus der Polysiliziumschicht 22 und einer weiteren TiSi-Schicht 56, die eine geringere Dicke als die Polysiliziumschicht 22 aufweist und an einer von dem Substrat 10 abgewandten Seite der Polysiliziumschicht 22 angeordnet ist.

Abschnitte der Oberfläche des Substrats 10, die nicht von einer der TiSi-Schichten 52, 54 oder von dem Gate 20 bedeckt sind, sind mit der LOCOS-Schicht 26 (LOCOS = local oxidation of silicon = lokale Oxidation von Silizium) oder von Oxidschichten 58, 60 bedeckt. Dabei bedeckt die Oxidschicht 58 das Gate 20 bzw. alle Oberflächen desselben, wobei die Gateoxidschicht 24 hier durch einen Teil der Oxidschicht 58 zwischen dem Gate 20 und der Oberfläche des Substrats 10 gebildet ist.

Über den TiSi-Schichten 52, 54, der LOCOS-Schicht 26 und den Oxidschichten 58, 60 ist die erste, nicht-planare Metallisierungsebene 42 gebildet, die den ersten Abschnitt 42a, der an die TiSi-Schicht 52 über der Source 14 und dem Sinkers 12 angrenzt, den zweiten Abschnitt 42b, der an die TiSi-Schicht 54 über der Drain 16 angrenzt und dieselbe elektrisch kontaktiert bzw. elektrisch leitfähig mit ihr verbunden ist, und den dritten Abschnitt 42c, der an den ersten Abschnitt 42a angrenzt und mit diesem vorzugsweise einstückig ausgebildet

ist, umfasst. Der dritte Abschnitt 42c überdeckt das Gate 20 zumindest teilweise, wobei es von diesem durch die dazwischenliegende Oxidschicht 58 beabstandet und elektrisch isoliert ist. Die Abschnitte 42a, 42b und 42c der nicht-  
5 planaren Metallisierungsebene 42 werden vorzugsweise erzeugt, indem zunächst eine unstrukturierte Metallschicht ganzflächig über der LOCOS-Schicht 26, den TiSi-Schichten 52, 54 und den Oxidschichten 58, 60 erzeugt und dann durch einen Lift-off-Prozess oder mittels einer Photolackmaske und eines Ätzbades  
10 lateral strukturiert wird. Die erste Metallisierungsebene bzw. Schicht ist somit im wesentlichen an die Kontur der Substratoberfläche angepasst und somit nicht-planar.

Der Feldeffekttransistor umfasst ferner eine Oxidschicht 62  
15 (HDP-Schicht), die auf der Struktur, wie sie sich nach dem Erzeugen der ersten Metallisierungsebene 42 ergibt, angeordnet ist. Die dem Substrat 10 abgewandte Oberfläche 64 der Oxidschicht 62 ist planarisiert. Auf der planarisierten Oberfläche 64 der Oxidschicht 62 ist die zweite, planare  
20 Metallisierungsebene 30 gebildet. Bei dem gezeigten Ausführungsbeispiel umfasst diese Leiterbahnen 30a zur Verdrahtung des Feldeffekttransistors und gegebenenfalls weiterer aktiver und passiver Bauelemente.

25 Die Leiterbahn 30a ist durch Wolframstopfen 46 in der Oxidschicht 62 elektrisch leitfähig mit dem zweiten Abschnitt 42b der ersten, nicht-planaren Metallisierungsebene 42 und damit mit der Drain 16 verbunden. Die Source 14 kann auf die gleiche Weise kontaktiert sein wie die Drain 16, indem sich ein  
30 Wolframstopfen von einem weiteren Abschnitt der zweiten, planaren Metallisierungsebene durch die Oxidschicht 62 zu dem ersten Abschnitt 42a der ersten, nicht-planaren Metallisierungsebene 42 erstreckt.

35 Anhand der Fig. 5 bis 7 wird nachfolgend anhand der dort dargestellten Graphen die Funktionalität und die Vorteile der

erfindungsgemäßen Anordnung näher erläutert, unter anderem in Verbindung mit einem bekannten Ansatz.

In Fig. 5 ist die Rückwirkungskapazität  $C_{12}$  als Funktion der Drainspannung UDS aufgetragen. Das in Fig. 5 eingefügte, schematische Bild eines Ausschnitts der anhand der Fig. 2 bzw. der Fig. 3 beschriebenen Halbleiterstruktur zeigt das Bauelement mit einem Sourcebereich auf der linken Seite und einem Drainbereich auf der rechten Seite. Über das Gatepolysilizium 22 ist der dritte Abschnitt 42c als Abschirmung (Shield) gelegt und drainseitig nach unten gezogen, so dass dieser einen Abstand zu dem darunterliegenden Bereich hat, der ähnlich wie in Fig. 1B und 2 mit  $\delta$  bezeichnet ist. Je nach dem, wie weit das Shield heruntergezogen wird, ergeben sich andere Rückwirkungskapazitäten. Bei einem Wert von  $\delta = 1,25 \mu\text{m}$  (Kurve 1) beträgt die Rückwirkungskapazität der Zelle für Drainspannungen über 30 V etwa 26 fF. In diesem Fall wäre die Metallisierung drainseitig überhaupt nicht heruntergezogen worden und würde dem Fall einer ausschließlich planaren Metallisierung entsprechen, wie er anhand der Fig. 1A beschrieben wurde. Für einen Wert von  $\delta = 250 \text{ nm}$  (Kurve 2) ist das Shield 42c drainseitig wie in dem Fig. 5 gezeigten Bild oder ähnlich wie in Fig. 2 und 3 heruntergezogen, wobei hier von einer Gatepolysiliziumdicke von etwa 300 nm ausgegangen wird. Wie zu erkennen ist, wird bei hohen Trennspannungen eine Rückwirkungskapazität  $C_{12}$  von etwa 4 fF erreicht, und somit stellt sich aufgrund der erfindungsgemäßen Ausgestaltung eine deutliche Reduzierung der Rückwirkungskapazität ein.

In Fig. 5 ist wiederum die Rückwirkungskapazität  $C_{12}$  gegen die Drainspannung UDS aufgetragen, wobei hier die in Fig. 6 gezeigte Kurve 1 der Kurve 1 aus Fig. 5 entspricht, und die Kurve 3 entspricht der Kurve 2 aus Fig. 5. Zusätzlich wurde eine weitere Kurve für einen Wert von  $\delta = 500 \text{ nm}$  (Kurve 3) eingefügt, woraus sich ergibt, dass auch für Shieldanordnungen 42c, welche nicht so weit hinuntergezogen sind wie

anhand der Fig. 5 beschrieben auch eine deutliche Reduzierung der Rückwirkungskapazität erreicht werden kann, verglichen mit einem planaren Metallisierungsansatz (siehe Kurve 1).

5 In Fig. 7 ist der maximal erreichbare Gewinn bei stabiler Anpassung (Maximum Stable Gain = MSG) als Funktion des Drainstroms für zwei Drainspannungen, 5 V und 26 V, aufgetragen. Wie aus Fig. 7 zu erkennen ist, nimmt das MSG mit abnehmendem delta jeweils zu, wobei durch das bessere Shielding  
10 (die bessere Abschirmung) der Gain um bis zu 3 dB ansteigt, was einen deutlichen Anstieg bedeutet. Bei den Kurven 2 und 6 wurde zusätzlich die Drain-Durchbruchsspannung angegeben, ähnlich wie bei den Kurven 1 und 3 in Fig. 6. Wie ferner zu erkennen ist, nimmt auch die Drain-Durchbruchsspannung leicht  
15 ab, dadurch, dass das Shield die Resurf-Strecke 50 des LDMOS elektrisch etwas verkürzt.

Die vorliegende Erfindung wurde oben anhand eines LDMOS-Feldeffekttransistors mit einem langen Resurf-Bereich 50  
20 dargestellt. Die vorliegende Erfindung ist jedoch ebenso gut auf andere Feldeffekttransistor-Typen vorteilhaft anwendbar. Ferner setzt die vorliegende Erfindung nicht voraus, dass es sich, wie dargestellt, um einen n-Kanal-Feldeffekttransistor handelt, sondern ist ebenso gut mit einem p-Kanal-Feldeffekttransistor realisierbar. Auch die Materialien des Substrats  
25 10 und damit der Source 14, der Drain 16, des Sinkers 20, des Body-Bereichs 48 und des Resurf-Bereichs 50 sowie des Gates 20 können ohne weiteres durch andere Materialien, beispielsweise Galliumarsenid (GaAs) ersetzt werden. Anstelle der  
30 LOCOS-Schicht 26 und der Oxidschichten 58, 60 sind Schichten aus anderen elektrisch isolierenden Materialien, beispielsweise Nitriden, verwendbar. Ebenso sind anstelle der TiSi-Schichten 52, 54, 56 andere Silizide oder andere zur Kontaktierung von dotierten Halbleiterbereichen geeignete elekt-  
35 risch leitfähige Materialien verwendbar. Auch der Wolf-ramstopfen 46 ist durch einen Stopfen bzw. Durchgangslochleiter aus einem anderen Material ersetzbar.



- Bei dem in den Fig. 1 und 2 dargestellten bevorzugten Ausführungsbeispiel weist die LOCOS-Schicht 26 vorzugsweise eine Dicke von 330 nm auf. Die Oxidschicht 62 ist vorzugsweise ein HDP-Oxid (HDP = high density plasma = hochdichtes Plasma) mit einer Dicke von 2,5  $\mu\text{m}$  bis 3  $\mu\text{m}$ . Die lateral strukturierte Metallschicht weist vorzugsweise Titan Ti oder Titannitrid TiN oder Aluminium auf. Titan und Titannitrid weisen einen höheren spezifischen Widerstand auf, können jedoch ohne eine Barriere auf eine Siliziumoberfläche aufgebracht werden. Aluminium weist einen geringeren spezifischen Widerstand auf, zwischen Aluminium und einer Siliziumoberfläche ist jedoch eine Barrierschicht vorzusehen.
- Obwohl die vorliegende Erfindung oben anhand eines bevorzugten Ausführungsbeispiels, welches einen Feldeffekttransistor umfasst, näher erläutert wurde, ist offensichtlich, dass der erfindungsgemäße Ansatz unter der Verwendung von zwei Metalisierungsebenen, von denen die eine planarisiert ist und die andere nicht-planarisiert ist, auch für andere Bauelemente mit aktiven Bereichen Anwendung finden kann, wie beispielsweise andere Feldeffekttransistorstrukturen, Bipolartransistorstrukturen, Diodenstrukturen und ähnliches.

Patentansprüche

1. Halbleiterbauelement, mit

5 einem Substrat (10);

einem in dem Substrat (10) gebildeten aktiven Bereich (12, 14, 16, 18);

10 einer ersten nicht-planaren Metallisierungsebene (42), die auf dem Substrat (10) gebildet ist und mit dem aktiven Bereich (12, 14, 16, 18) in Kontakt ist; und

15 einer zweiten, planaren Metallisierungsebene (30), die oberhalb des Substrats (10) beabstandet von der ersten Metallisierungsebene (42) angeordnet ist und über eine Durchkontaktierung (46) mit der ersten Metallisierungsebene (42) verbunden ist.

20 2. Halbleiterbauelement nach Anspruch 1, bei dem das Halbleiterbauelement ein Feldeffekttransistor mit einem Gate (20), einem Sourcebereich (14) und einem Drainbereich (16) ist, wobei die erste nicht-planare Metallisierungsebene (42) einen ersten Abschnitt (42a), der mit dem Sourcebereich (14) verbunden ist, einem zweiten Abschnitt (42b), der mit dem Drainbereich (16) verbunden ist, und einem dritten Abschnitt (42c), der das Gate (20) zumindest teilweise überdeckt, umfasst, und wobei die zweite, planare Metallisierungsebene (30) zumindest einen Abschnitt (30a) umfasst, der mit dem ersten Abschnitt der ersten, nicht-planaren Metallisierungsebene oder mit dem zweiten Abschnitt (42b) der ersten, nicht-planaren Metallisierungsebene (42) verbunden ist.

35 3. Halbleiterbauelement nach Anspruch 2, bei dem der erste Abschnitt (42a) und der dritte Abschnitt (42c) der ers-

ten, nicht-planaren Metallisierungsebene (42) verbunden sind.

- 5 4. Halbleiterbauelement nach Anspruch 2 oder 3, bei dem  
zwischen der ersten, nicht-planaren Metallisierungsebene  
(42) und der zweiten, planaren Metallisierungsebene (30)  
eine isolierende Schicht (62) angeordnet ist, wobei in  
10 der isolierenden Schicht (62) zumindest eine Durchkontak-  
tierung (46) für eine Verbindung der ersten, nicht-  
planaren Metallisierungsebene (42) mit der zweiten, pla-  
naren Metallisierungsebene (30) gebildet ist.
- 15 5. Halbleiterbauelement nach einem der Ansprüche 2 bis 4,  
bei dem der dritte Abschnitt (42c) ausgebildet ist, um  
das Gate (20) gegenüber elektrostatischen oder elektrody-  
namischen Störungen abzuschirmen.
- 20 6. Verstärkerschaltung mit einem Feldeffekttransistor gemäß  
einem der Ansprüche 2 bis 5.

Zusammenfassung

- 5 Ein Halbleiterbauelement mit einem Substrat (10) und einem  
darin gebildeten aktiven Bereich (12, 14, 16, 18) umfasst  
eine erste, nicht-planare Metallisierungsebene (42), die auf  
dem Substrat (10) gebildet ist und mit dem aktiven Bereich  
(12, 14, 16, 18) in Kontakt ist. Ferner ist eine zweite,  
10 planare Metallisierungsebene (30) vorgesehen, die oberhalb  
des Substrats (10) beabstandet von der ersten Metallisie-  
rungsebene (42) angeordnet ist und über eine Durchkontaktie-  
rung (46) mit der ersten Metallisierungsebene (42) verbunden  
ist.

15

Figur 2

## Bezugszeichenliste

10	Substrat	
12	Sinker	
14	Sourcebereich	
16	Drainbereich	
18	Kanalbereich	
20	Gate	
22	Gate-Polysilizium	
24	Gateoxid	
26	Feldoxid	
28	erste planare Metallisierungsebene	
28a	erster Abschnitt der Metallisierungsebene	28
28b	zweiter Abschnitt der Metallisierungsebene	28
30	zweite planare Metallisierungsebene	
30a	erster Abschnitt der Metallisierungsebene	30
32	Substratoberfläche	
34	erster Kontakt	
36	zweiter Kontakt	
38	dritter Kontakt	
40	vierter Kontakt	
42	erste nicht-planare Metallisierungsebene	
42a	erster Abschnitt der Metallisierungsebene	40
42b	zweiter Abschnitt der Metallisierungsebene	40
42c	dritter Abschnitt der Metallisierungsebene	40
44	zweite nicht-planare Metallisierungsebene	
44a	erster Abschnitt der Metallisierungsebene	44
46	Kontakt	
48	Bodybereich	
50	Resurf-Bereich	
52, 54, 56	TiSi-Schicht	
58, 60, 62	Oxidschicht	
64	Oberfläche der Oxidschicht	62



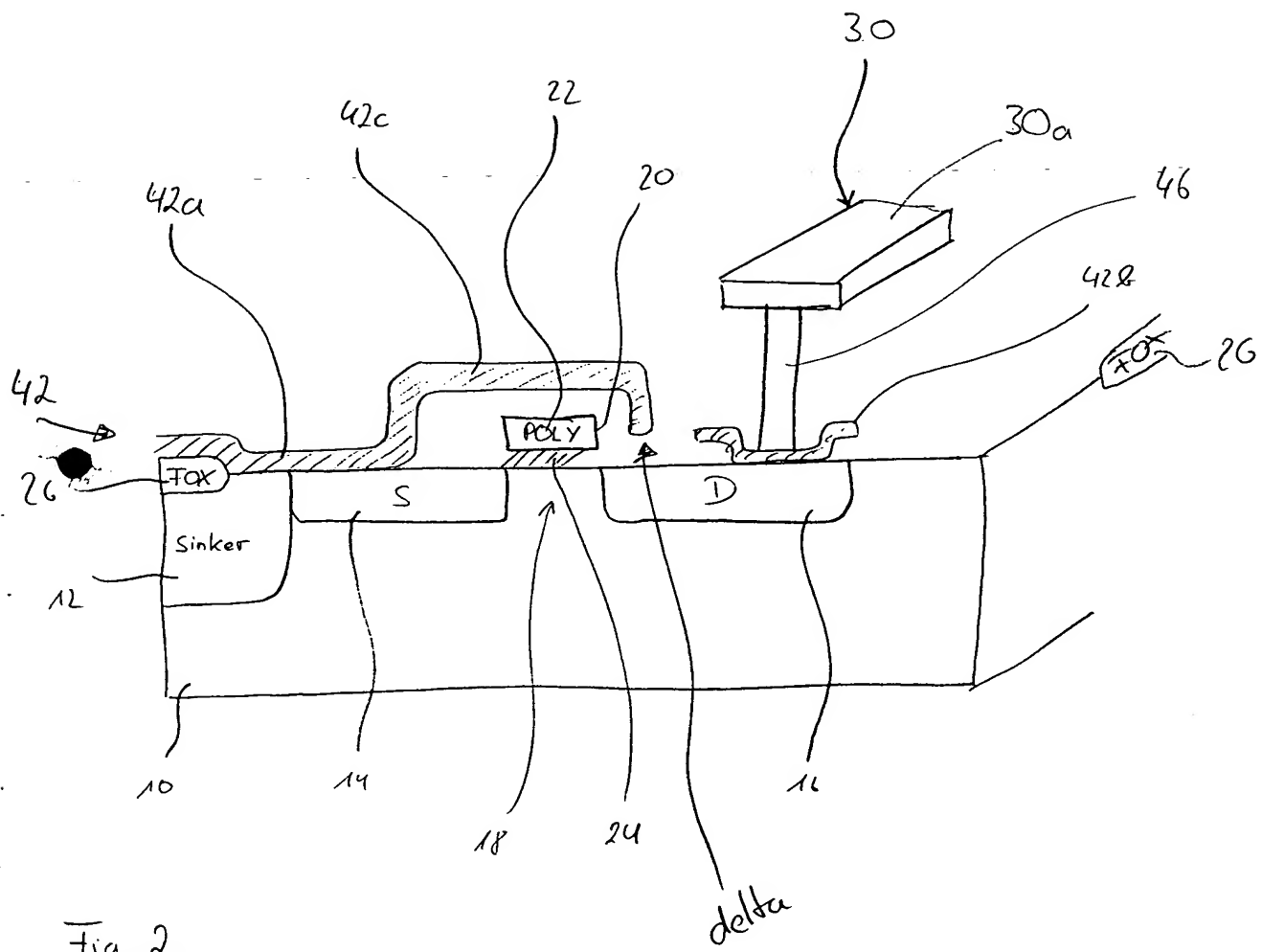


Fig. 2

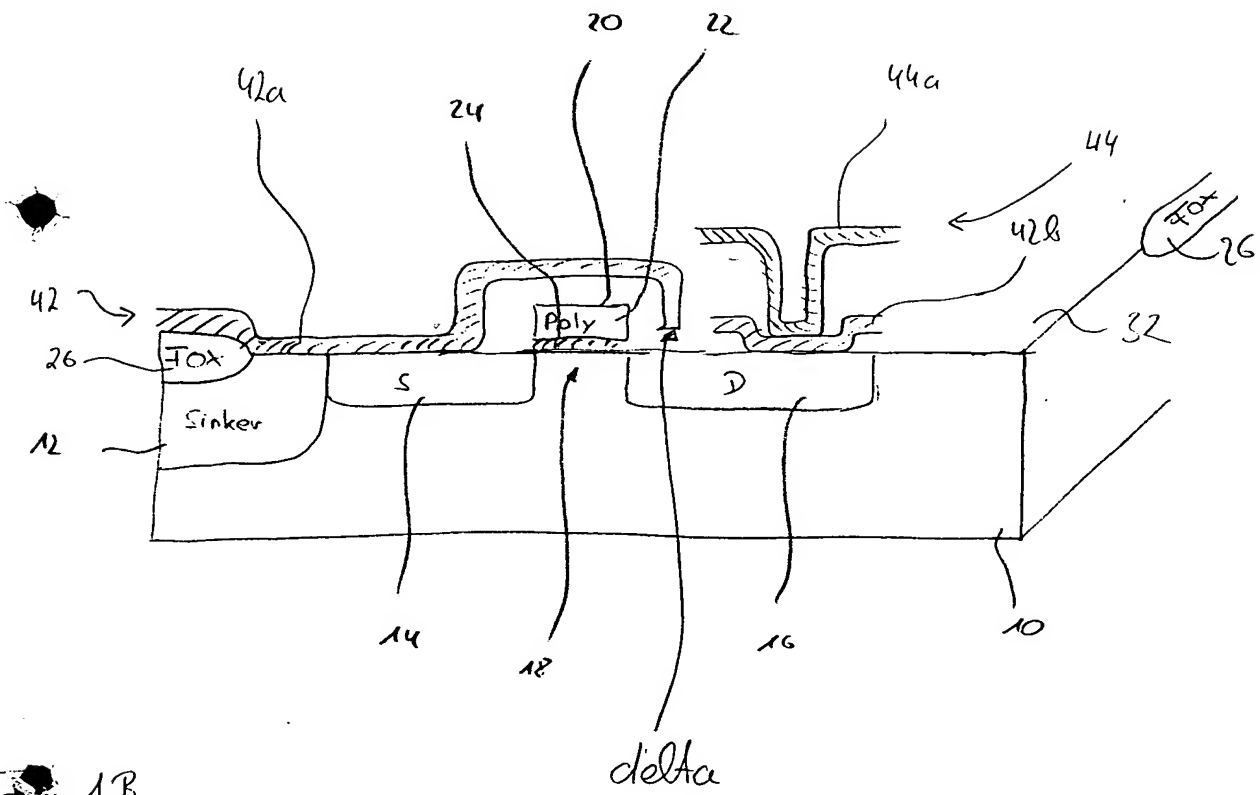


Fig. 1B



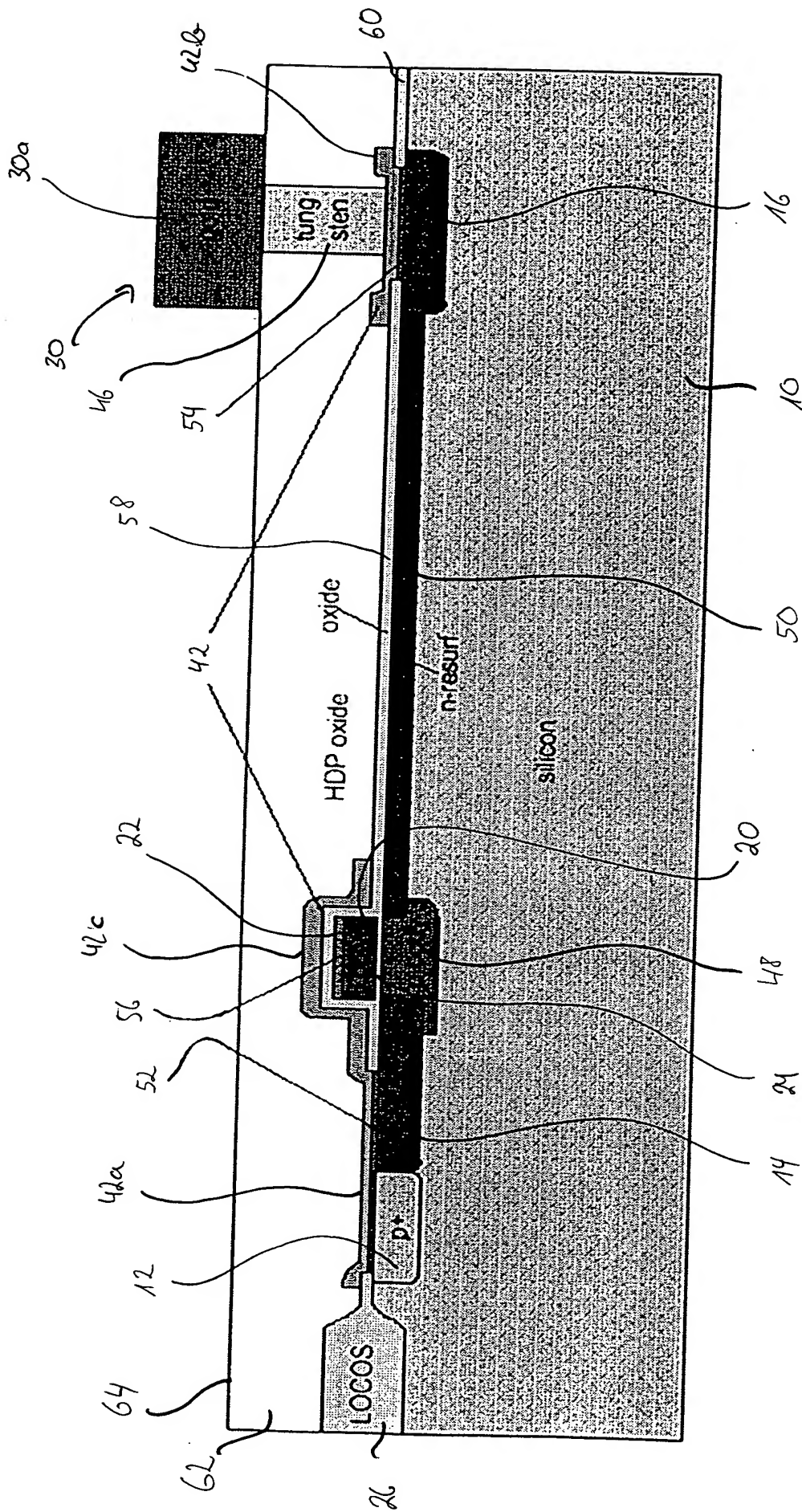


Fig. 3

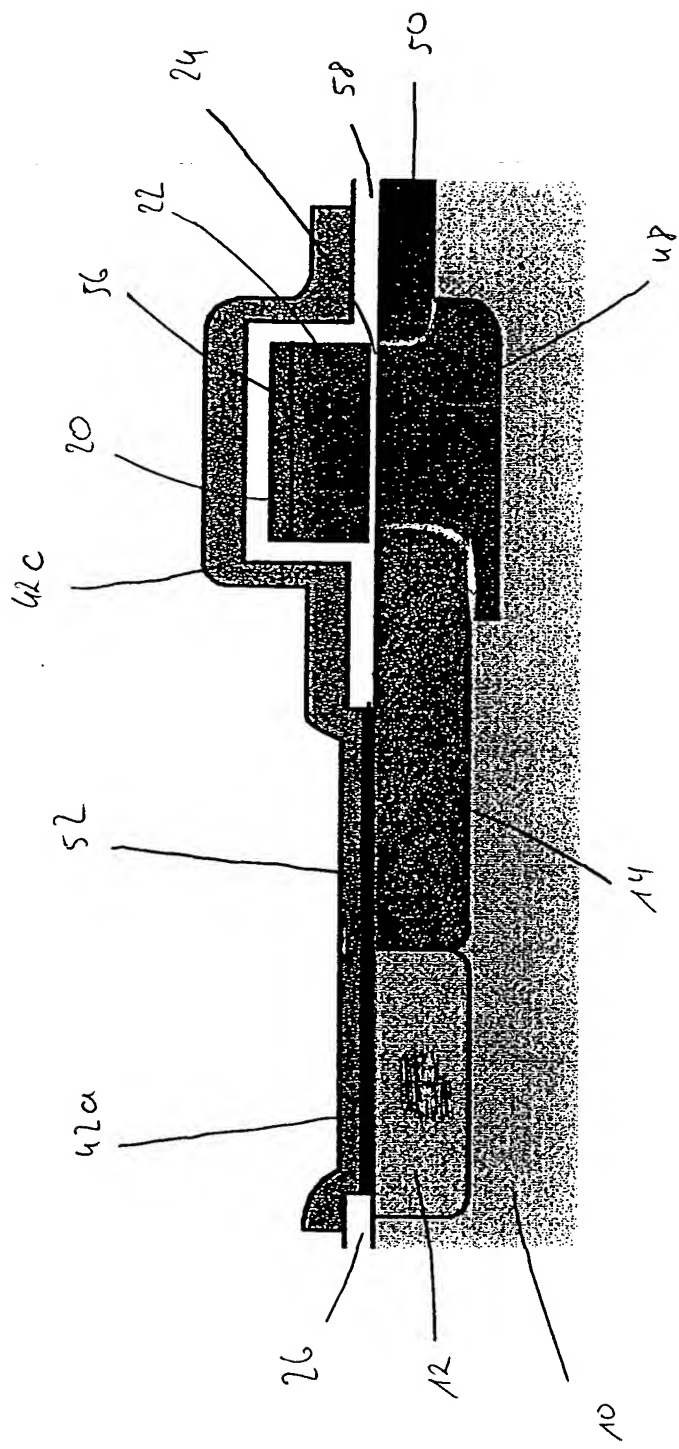


Fig. 4

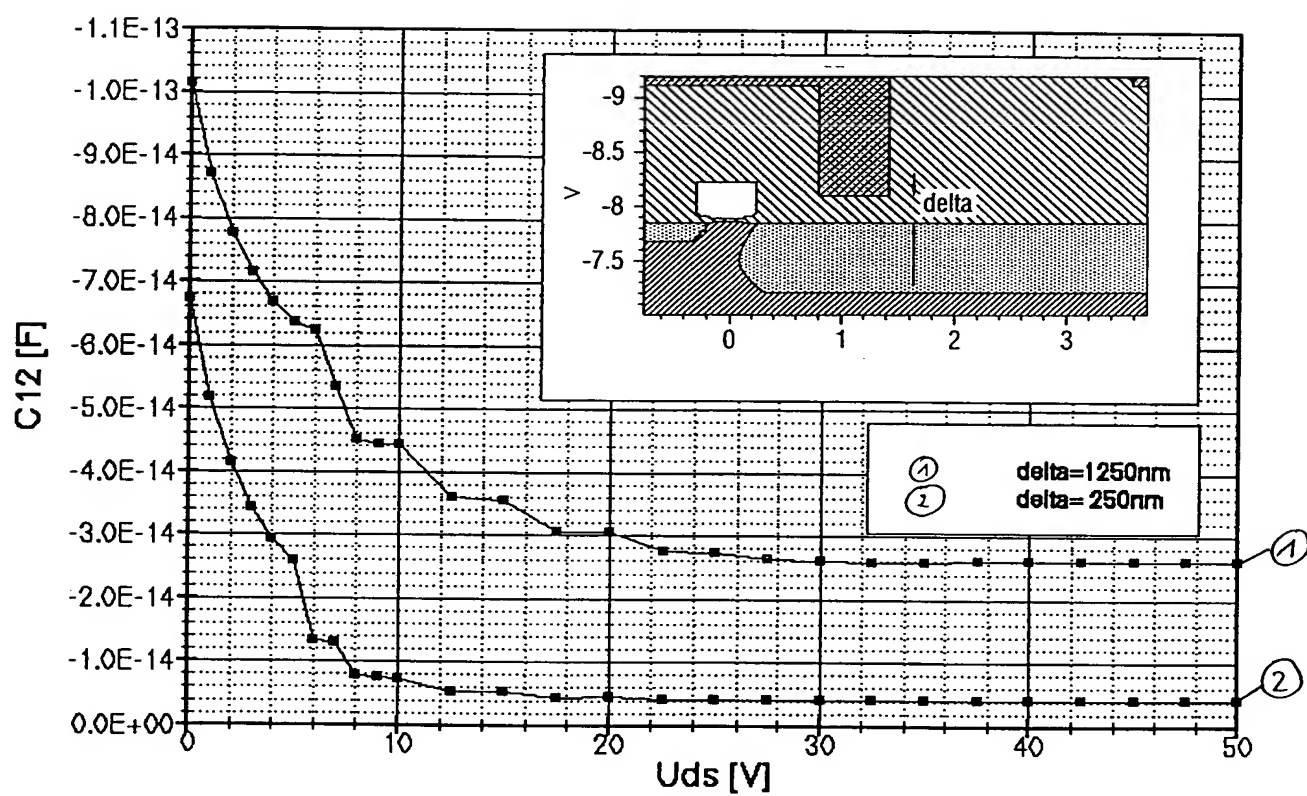


Fig. 5

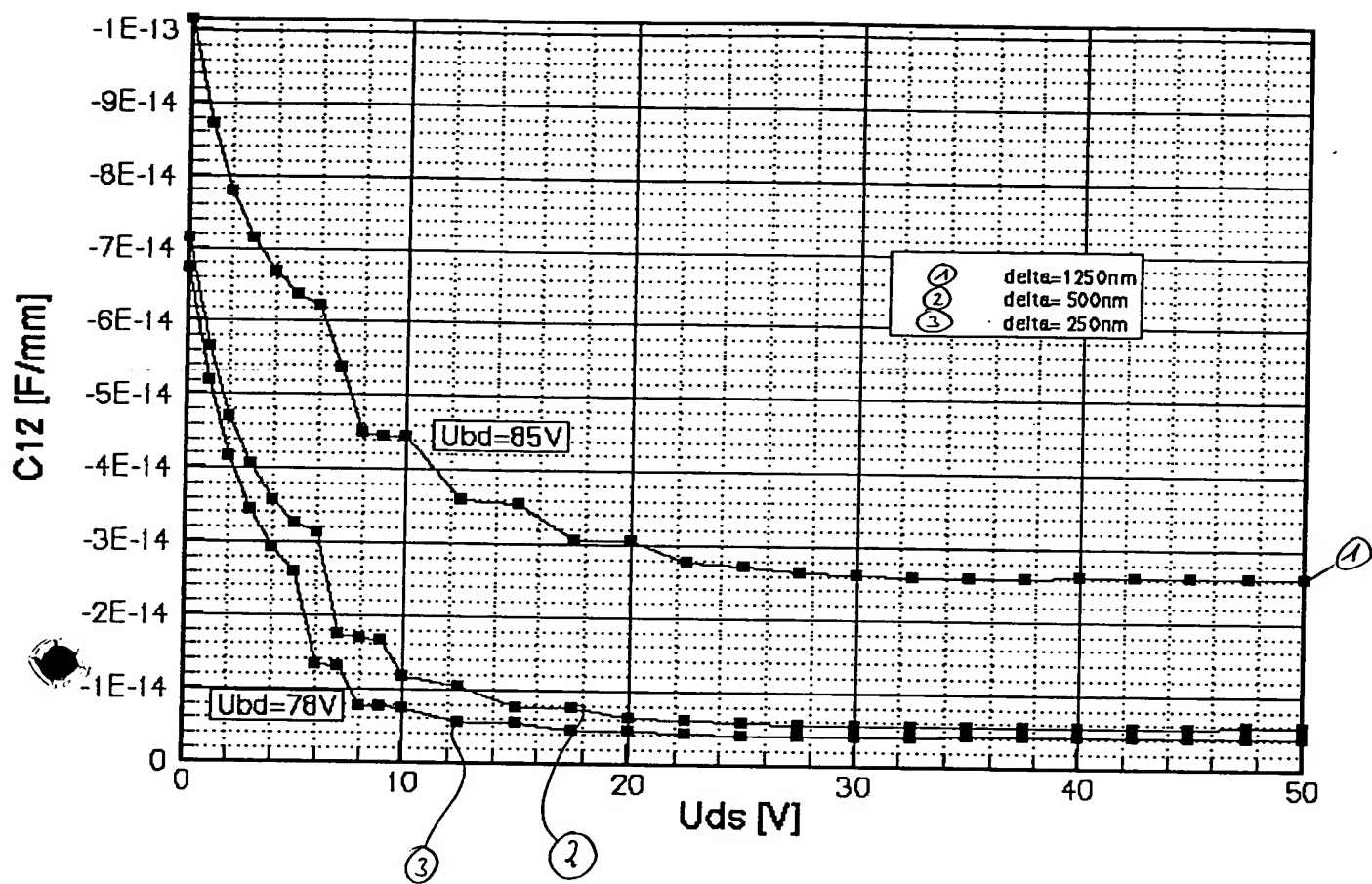


Fig. 6

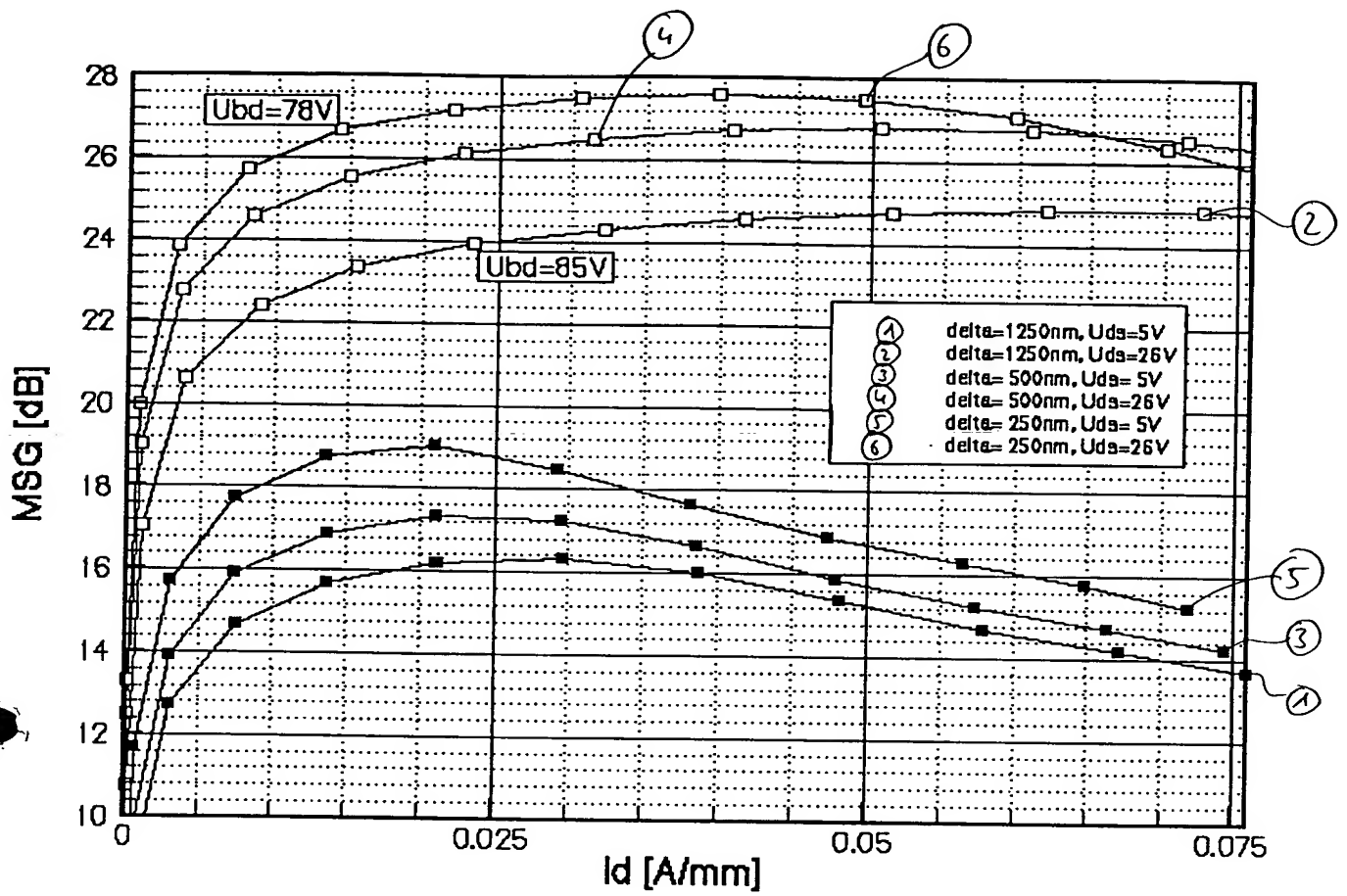


fig. 7

